

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86407

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
21/3205				
27/04				
		8122-4M	H 0 1 L 21/ 82	W
			21/ 88	Z
			審査請求 未請求 請求項の数4	OL (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-224773

(22) 出願日 平成5年(1993)9月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 三浦 信平

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石川 泰男

(54) 【発明の名称】 集積回路の多層配線方法

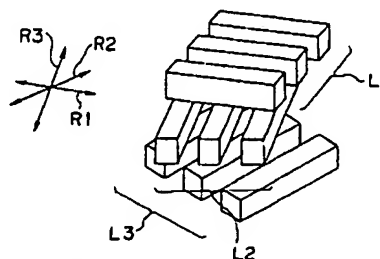
(57) 【要約】

【目的】 多層配線を行う集積回路において、各配線層を有効に使用することにより、集積回路のレイアウトにおける配線効率を向上させ、且つ配線距離の短い集積回路の多層配線方法を提供することを目的とする。

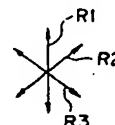
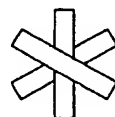
【構成】 m 層 (m は3以上の正整数) の配線層 $L1$ 、 $L2$ 、及び $L3$ を備える集積回路の多層配線方法において、 m 層の配線層 $L1$ 、 $L2$ 、及び $L3$ のメインの配線方向は、異なる n 種 (n は $3 \leq n \leq m$ の正整数) の配線方向 $R1$ 、 $R2$ 、及び $R3$ であることを特徴とする。

第1実施例の集積回路の配線方法の概念説明図

(a) 立体図



(b) 平面図



【特許請求の範囲】

【請求項1】 m 層 (m は3以上の正整数)の配線層 ($L1$, $L2$, 及び $L3$)を備える集積回路の多層配線方法において、

前記 m 層の配線層 ($L1$, $L2$, 及び $L3$)のメインの配線方向は、異なる n 種 (n は $3 \leq n \leq m$ の正整数)の配線方向 ($R1$, $R2$, 及び $R3$)であることを特徴とする集積回路の多層配線方法。

【請求項2】 前記 n 種の配線方向 ($R1$, $R2$, 及び $R3$)は、お互いに等角度で交差することを特徴とする請求項1に記載の集積回路の多層配線方法。

【請求項3】 前記集積回路は、論理セルを備えるゲートアレイ、スタンダードセル等の集積回路であることを特徴とする請求項1または2に記載の集積回路の多層配線方法。

【請求項4】 前記集積回路の多層配線方法は、前記論理セルまたは前記論理セルの端子をグリッドと見做し、該グリッド間の間隔が等しいアイソメトリック・グリッドを用いて行われることを特徴とする請求項3に記載の集積回路多層配線方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路のチップレイアウト方法に係り、特に、多層配線を行う集積回路において、各配線層を有効に使用することにより集積回路のレイアウトにおける配線効率を向上させた、また配線距離を短くし得る集積回路の多層配線方法に関する。

【0002】近年のLSIは、高集積化に伴うチップの大規模化により、配線層の多層化が進んでいる。そのため、配線層の多層化に伴う効率的な配線手法を確立させる必要がある。

【0003】

【従来の技術】従来の半導体集積回路においては、垂直に交差する縦横の2方向をメイン配線方向としてレイアウトが行われている。ここで、メイン配線方向というのは、基本的に各配線層に対して決められる配線方向のことを言い、各配線層の配線方向は完全に1方向ではなく、部分的には(配線が混雑している部分等では)異なる方向にも配線がなされるのが一般的である。

【0004】例えば3層配線の場合には、図5(a)及び(b)に示すように、第1層目 $L11$ と第2層目 $L12$ が垂直に交差するような配線方向 $R11$ 及び $R12$ をメインの配線方向とし、更に、第2層目 $L12$ と第3層目 $L13$ が垂直に交差するような配線方向 $R12$ 及び $R11$ をメインの配線方向としていた。結果として、第1層目 $L11$ と第3層目 $L13$ が同じ方向をメインの配線方向 $R11$ とすることとなる。このような場合に、第1層目 $L11$ 及び第2層目 $L12$ を基本的な配線に使用して、第3層目 $L13$ を混雑している部分について補助的に使用することが多かった。

【0005】

【発明が解決しようとする課題】従って、従来の多層配線を行う集積回路では、各配線層、特に第3層目以降の配線層における配線は、該配線層を有効に使用しておらず、レイアウトの配線効率が悪いという問題があった。

【0006】本発明は、上記問題点を解決するもので、多層配線を行う集積回路において、各配線層を有効に使用することにより、集積回路のレイアウトにおける配線効率を向上させ、且つ配線距離の短い集積回路の多層配線方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の特徴の集積回路の多層配線方法は、図1に示す如く、 m 層 (m は3以上の正整数)の配線層 $L1$, $L2$, 及び $L3$ を備える集積回路の多層配線方法において、前記 m 層の配線層 $L1$, $L2$, 及び $L3$ のメインの配線方向は、異なる n 種 (n は $3 \leq n \leq m$ の正整数)の配線方向 $R1$, $R2$, 及び $R3$ である。

【0008】また、本発明の第2の特徴の集積回路の多層配線方法は、請求項1に記載の集積回路の多層配線方法において、前記 n 種の配線方向 $R1$, $R2$, 及び $R3$ は、お互いに等角度で交差する。

【0009】また、本発明の第3の特徴の集積回路の多層配線方法は、請求項1または2に記載の集積回路の多層配線方法において、前記集積回路は、論理セルを備えるゲートアレイ、スタンダードセル等の集積回路である。

【0010】更に、本発明の第4の特徴の集積回路の多層配線方法は、請求項3に記載の集積回路の多層配線方法において、前記集積回路の多層配線方法は、前記論理セルまたは前記論理セルの端子をグリッドと見做し、該グリッド間の間隔が等しいアイソメトリック・グリッドを用いて行われる。

【0011】

【作用】本発明の第1及び第2の特徴の集積回路の多層配線方法では、図1に示す如く、 m 層 (m は3以上の正整数であり、図1では $m=3$)の配線層 $L1$, $L2$, 及び $L3$ を備える集積回路の多層配線方法において、前記 m 層の配線層のメインの配線方向を、それぞれ異なる n 種 (n は $3 \leq n \leq m$ の正整数であり、図1では $n=3$)の配線方向 $R1$, $R2$, 及び $R3$ とし、特に、第2の特徴の集積回路の多層配線方法では、 n 種の配線方向 $R1$, $R2$, 及び $R3$ がお互いに等角度で交差するようにしている。

【0012】また、 $m=5$, $n=3$ とした場合には、5層の配線層 $L1 \sim L5$ を備える集積回路において、前記 m 層の配線層のメインの配線方向を、それぞれ3種の配線方向 $R1$, $R2$, $R3$, $R1$, 及び $R2$ として配線されることになる。

【0013】即ち、図1において、 n 種の配線方向 R

1, R2, 及びR3が均等の角度で交差するn層の配線層(第1, 第2, 及び第3層)L1, L2, 及びL3を用いて配線を行うことにより, 各配線層を有効に使用することができ, 集積回路のレイアウトにおける配線効率を向上させることができる。また斜め配線が可能となるため, 従来の配線に比べて配線距離の短いレイアウトを実現できる。

【0014】また, 本発明の第3及び第4の特徴の集積回路の多層配線方法では, 論理セルを備えるゲートアレイ, スタンダードセル等の集積回路に対し, レイアウトのCADを行うシステム上で論理セルまたは論理セルの端子をグリッドと見做し, 該グリッド間の間隔が等しいアイソメトリック・グリッドを用いて配線決定が行われる。

【0015】これにより, レイアウト設計の自動化が図れると共に, 各配線層を有効に使用することができ, 集積回路のレイアウトにおける配線効率を向上させることができる。

【0016】

【実施例】次に, 本発明に係る実施例を図面に基づいて説明する。

第1実施例

図1に本発明の第1実施例に係る集積回路の多層配線方法の概念説明図を示す。図1(a)は立体図、図1

(b)は平面図である。本実施例の集積回路は3層の配線層を用いて配線される。集積回路としては, 論理セルを備えるゲートアレイ, スタンダードセル等の集積回路を想定している。

【0017】同図において, L1は第1層目の配線, L2は第2層目の配線, L3は第3層目の配線, R1は第1層目L1のメイン配線方向, R2は第2層目L2の配線方向, R3は第3層目L3の配線方向を, それぞれ表す。

【0018】本実施例の集積回路の多層配線方法は, 論理セルまたは論理セルの端子をグリッドと見做し, 該グリッド間の間隔が等しいアイソメトリック・グリッドを用いて行われる。図2(a)は, 本実施例におけるアイソメトリック・グリッドを表す。各層の配線方向R1, R2, 及びR3は, お互いに等角度(60[deg])で交差している。

【0019】図2(b)は, ゲートアレイ, スタンダードセル等の集積回路における配線例を示す。図中, Aは論理セルであり, 12個の論理セルから成るセル列Bを5列備えた構成である。また, 第1層目L1の配線方向R1は, セル列に対して垂直方向である。

【0020】同図において, ノードM1及びノードN1間の配線は, 第1層目の配線L1～第2層目の配線L2～第3層目の配線L3～第2層目の配線L2～第1層目の配線L1により配線され, また, ノードM2及びノードN2間の配線は, 第1層目の配線L1～第2層目の配

線L2～第1層目の配線L1により配線されている。また, ノードN1近傍のアイソメトリック・グリッド及び配線を同図(c)に示す。

【0021】このように, 本実施例による集積回路の多層配線方法では, 各層の配線方向R1, R2, 及びR3が均等の角度で交差する第1, 第2, 及び第3層L1, L2, 及びL3を用いて配線し, またCADシステム上では, 論理セルまたは論理セルの端子をグリッドと見做したアイソメトリック・グリッドの構造モデルを使用して, 配線決定を行うことにより, 各配線層を有効に使用することができ, 集積回路のレイアウトにおける配線効率を向上させることができる。

【0022】また, 本実施例では斜め配線が可能となるため, 従来の配線に比べて配線距離の短いレイアウトを実現できる。

第2実施例

図3に本発明の第2実施例に係る集積回路の多層配線方法の説明図を示す。本実施例においても, 第1実施例と同様の(図1に示す)3層の配線層を用いて配線される。

【0023】図3(a)は, 本実施例におけるアイソメトリック・グリッドを表す。第1, 第2, 及び第3層L1, L2, 及びL3の各層の配線方向R1, R2, 及びR3は, お互いに等角度(60[deg])で交差している。

【0024】図3(b)は, ゲートアレイ, スタンダードセル等の集積回路における配線例を示す。第2層目L2の配線方向R2は, セル列に対して同方向である。同図において, ノードM1及びノードN1間の配線は, 第1層目の配線L1～第2層目の配線L2～第3層目の配線L3により配線され, また, ノードM2及びノードN2間の配線は, 第1層目の配線L1～第2層目の配線L2～第1層目の配線L1により配線されている。また, ノードN1近傍のアイソメトリック・グリッド及び配線を同図(c)に示す。

【0025】このように, 本実施例による集積回路の多層配線方法においても第1実施例と同様に, 各配線層を有効に使用することができ, 集積回路のレイアウトにおける配線効率を向上させることができ, また斜め配線が可能となることから, 従来の配線に比べて配線距離の短いレイアウトを実現できる。

【0026】尚, 第1及び第2実施例において, 第i層目Liの配線方向Riのセル列に対する方向性は, 上記内容に限定されず, どのような組み合わせであっても構わない。

第3実施例

図4に本発明の第3実施例に係る集積回路の多層配線方法の説明図を示す。

【0027】同図において, R1は第1層目L1のメイン配線方向, R2は第2層目L2の配線方向, R3は第

10

20

30

40

50

3層目L3の配線方向、R4は第4層目L4の配線方向を、それぞれ表す。

【0028】本実施例の集積回路の多層配線方法は、論理セルまたは論理セルの端子をグリッドと見做し、従来と同様の平方グリッドを用いて行われる。図4(a)は、本実施例における平方グリッドを表す。各層の配線方向R1、R2、R3、及びR4は、お互いに等角度(45[deg])で交差している。

【0029】図4(b)は、ゲートアレイ、スタンダードセル等の集積回路における配線例を示す。図中、Aは論理セルであり、12個の論理セルから成るセル列Bを5列備えた構成である。また、第1層目L1の配線方向R1はセル列に対して垂直方向で、第2層目L2の配線方向R2はセル列に対して同じ方向である。

【0030】同図において、ノードM1及びノードN1間の配線は、第1層目の配線L1～第2層目の配線L2～第4層目の配線L4～第2層目の配線L2～第1層目の配線L1により配線され、また、ノードM2及びノードN2間の配線は、第1層目の配線L1～第2層目の配線L2～第3層目L3の配線～第2層目L2の配線～第1層目の配線L1により配線されている。また、ノードN1近傍のアイソメトリック・グリッド及び配線を同図(c)に示す。

【0031】このように、本実施例による集積回路の多層配線方法では、各層の配線方向R1、R2、R3、及びR4が均等の角度で交差する第1、第2、第3、及び第4層L1、L2、L3、及びL4を用いて配線し、またCADシステム上では、論理セルまたは論理セルの端子をグリッドと見做した平方グリッドの構造モデルを使用して、配線決定を行うことにより、各配線層を有効に使用することができ、集積回路のレイアウトにおける配線効率を向上させることができる。

【0032】また、本実施例では斜め配線が可能となるため、従来の配線に比べて配線距離の短いレイアウトを実現できる。

【0033】

【発明の効果】以上説明したように、本発明によれば、n種の配線方向が均等の角度で交差するm層の配線層を用いて配線し、またCADシステム上では、論理セルまたは論理セルの端子をグリッドと見做した平方グリッド

の構造モデルを使用して配線決定を行うこととしたので、各配線層を有効に使用することができ、集積回路のレイアウトにおける配線効率を向上させることができ、また斜め配線が可能となるため、従来の配線に比べて配線距離の短いレイアウトを実現でき、結果として、集積回路のレイアウトにおける配線効率を向上させ、且つ配線距離の短い集積回路の多層配線方法を提供することができる。

【図面の簡単な説明】

10 【図1】本発明の第1実施例に係る集積回路の多層配線方法の概念説明図であり、図1(a)は立体図、図1(b)は平面図である。

【図2】第1実施例の集積回路の多層配線方法の説明図であり、図2(a)はアイソメトリック・グリッドの説明図、図2(b)はゲートアレイ、スタンダードセル等の集積回路における配線例、図2(c)はノードN1近傍のアイソメトリック・グリッド及び配線を説明図である。

20 【図3】本発明の第2実施例の集積回路の多層配線方法の説明図であり、図3(a)はアイソメトリック・グリッドの説明図、図3(b)は集積回路における配線例、図3(c)はノードN1近傍のアイソメトリック・グリッド及び配線を説明図である。

【図4】本発明の第3実施例の集積回路の多層配線方法の説明図であり、図4(a)は平方グリッドの説明図、図4(b)は集積回路における配線例、図4(c)はノードN1近傍のアイソメトリック・グリッド及び配線を説明図である。

30 【図5】従来の集積回路の多層配線方法の概念説明図であり、図5(a)は立体図、図5(b)は平面図である。

【符号の説明】

L1、L2、L3、L4…第1、第2、第3、及び第4層(目の配線)

R1、R2、R3、R4…第1、第2、第3、及び第4層の配線方向

A…論理セル

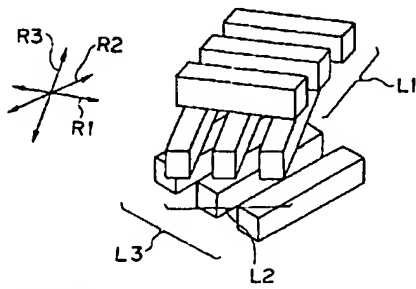
B…セル列

M1、M2、N1、N2…ノード

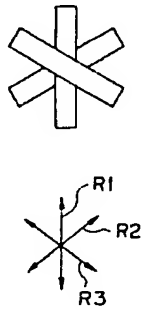
【図1】

第1実施例の集積回路の配線方法の概念説明図

(a) 立体図



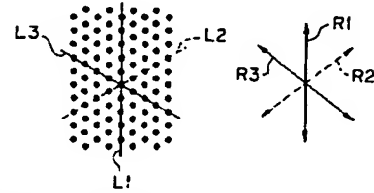
(b) 平面図



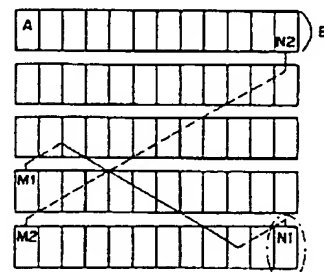
【図2】

第1実施例の集積回路の配線方法の説明図

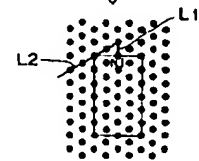
(a) アイソメトリック・グリッド



(b) 集積回路における配線例



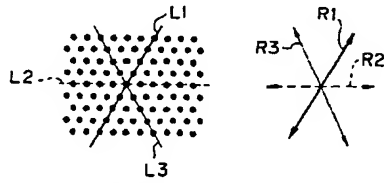
(c) ノードN1近傍のグリッド及び配線



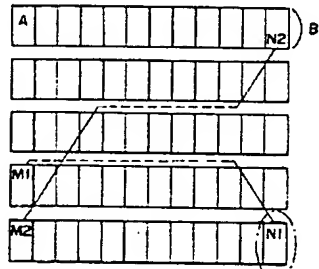
【図3】

第2実施例の集積回路の配線方法の説明図

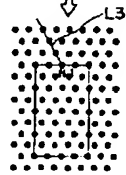
(a) アイソメトリック・グリッド



(b) 集積回路における配線例



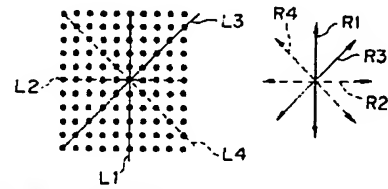
(c) ノードN1近傍のグリッド及び配線



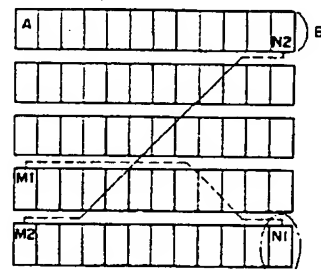
【図4】

第3実施例の集積回路の配線方法の説明図

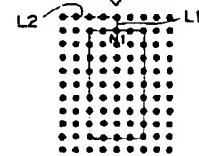
(a) 平方グリッド



(b) 集積回路における配線例



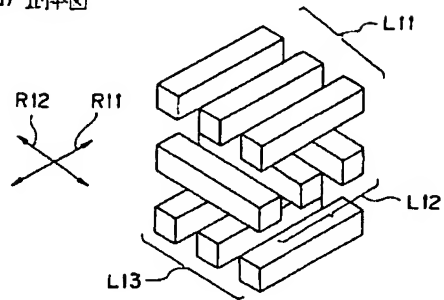
(c) ノードN1近傍のグリッド及び配線



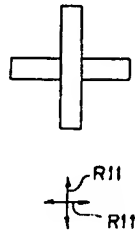
【図5】

従来の多層配線の説明図

(a) 立体図



(b) 平面図



フロントページの続き

(51)Int. Cl.⁶
H01L 21/822

識別記号

庁内整理番号

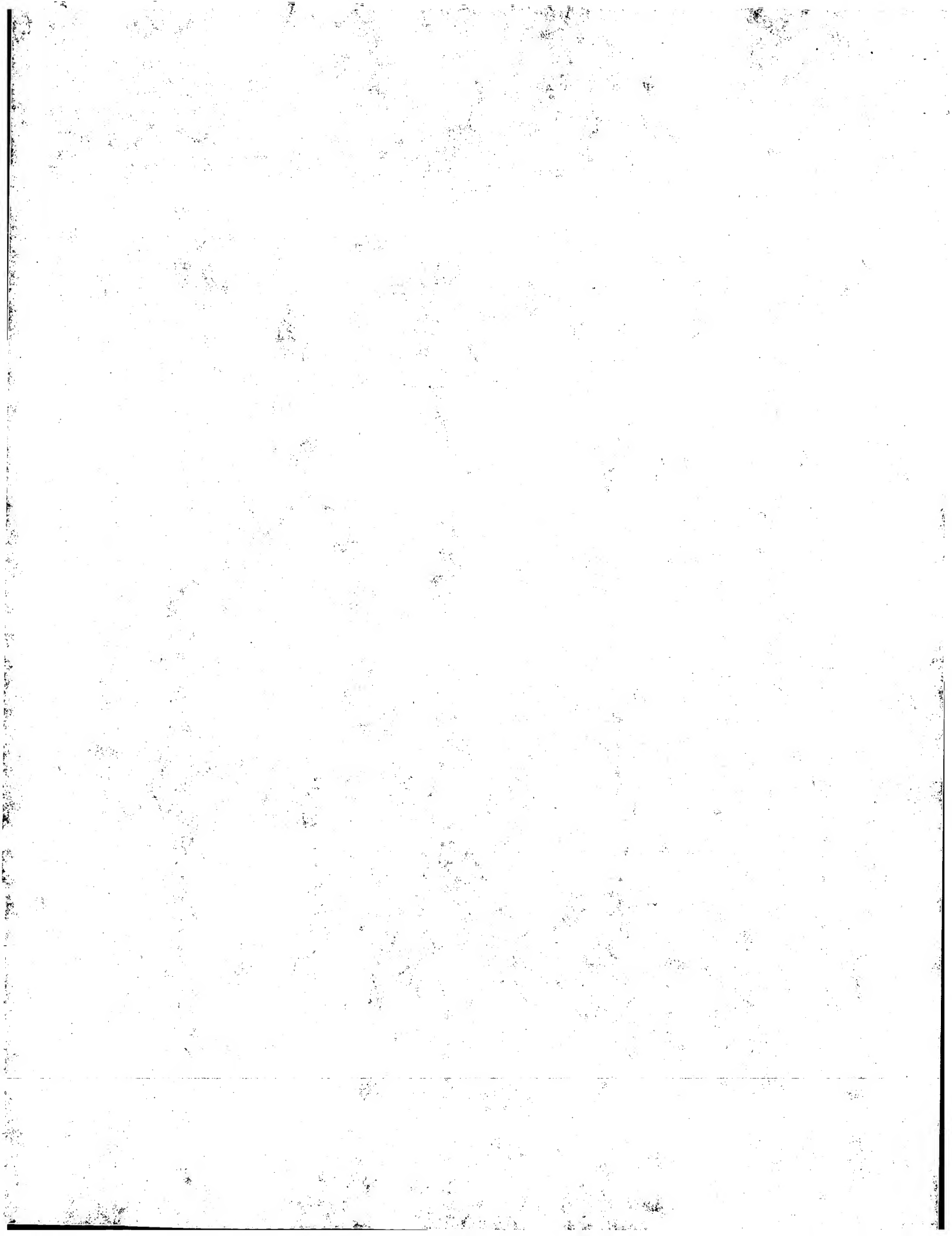
FI

技術表示箇所

S832-4M

H01L 27/04

D



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086407

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H01L 21/82
H01L 21/3205
H01L 27/04
H01L 21/822

(21)Application number : 05-224773

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.09.1993

(72)Inventor : MIURA SHINPEI

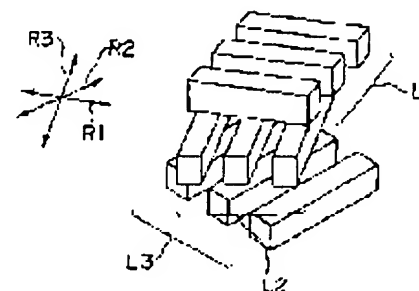
(54) MULTILAYERED WIRING METHOD OF INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To increase wiring efficiency of the layout of an integrated circuit, and provide a multilayered wiring method of an integrated circuit wherein wiring distance is short, by effectively using each wiring layer, in an integrated circuit wherein multilayered wiring is performed.

CONSTITUTION: In the multilayered wiring method of an integrated circuit wherein (m) kinds of wiring layers L1, L2 and L3 ((m) is three or larger positive integer) are formed, the main wiring directions of the (m) kinds of wiring layers L1, L2 and L are made different (n) kinds of wiring directions R1, R2 and R ((n) is positive integer satisfying $3 \leq n$).

(a)



(b)



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) JAPANESE PATENT OFFICE (JP)

(12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: **H7-86407**

(43) Kokai Publication Date: March 31, 1995

(51) Int. Cl. ⁶	ID Symbol	JPO Internal File No.	F1	Technical Indication
H 01 L 21/82 21/3205 27/04		8122-4M	H 01 L 21/82 21/88	W Z
Request for Examination: Not requested		Number of Claims: 4	OL	(7 pages total)
Continue to last page				

(21) Application Number: H5-224773	(71) Applicant: 000005223 FUJITSU LTD. 1015 Kamikodanaka, Nakahara-ku Kawasaki-shi, Kanagawa
(22) Filing Date: September 9, 1993	(72) Inventor: Nobuhira [?] Miura c/o FUJITSU LTD. 1015 Kamikodanaka, Nakahara-ku Kawasaki-shi, Kanagawa
	(74) Agent: Yasuo Ishikawa, Patent Attorney

(54) [Title of the Invention] **Method for multi-layer wiring of integrated circuits**

(57) [Abstract]

[Object] The object [of the present invention] is to improve the wiring efficiency in integrated circuit layouts by using each wiring layer effectively in integrated circuits which utilize multi-layer wiring, and to provide a multi-layer wiring method for integrated circuits with short wiring distances.

[Configuration] In a multi-layer wiring method for integrated circuits comprising m layers of wiring layers (where m is an integer, 3 or larger) L1, L2 and L3, the special feature is that the main wiring directions of the m layers of wiring layers L1, L2 and L3 are of n different types (where n is an integer, $3 \leq n \leq m$) of wiring directions R1, R2, and R3.

[Claims]

[Claim 1] A multi-layer wiring method for integrated circuits characterized in that, in a multi-layer wiring method for integrated circuits comprising m layers (where m is an integer, 3 or larger) of wiring layers (L1, L2 and L3), the main wiring directions of the above-mentioned m layers of wiring layers (L1, L2 and L3) are of n different types (where n is an integer, $3 \leq n \leq m$) of wiring directions (R1, R2, and R3).

[Claim 2] The multi-layer wiring method for integrated circuits described in Claim 1, characterized in that the above-mentioned n types of wiring directions (R1, R2, and R3) intersect each other at equal angles.

[Claim 3] The multi-layer wiring method for integrated circuits described in Claim 1 or Claim 2, characterized in that the above-mentioned integrated circuits are integrated circuits such as standard cells, gate arrays comprised of logic cells, etc.

[Claim 4] The multi-layer wiring method for integrated circuits described in Claim 3, characterized in that the above-mentioned multi-layer wiring method for integrated circuits treats the above-mentioned logic cells or the terminals for the above-mentioned logic cells as grids, and is implemented using an isometric grid in which the spacing between said grids is equal.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization] The present invention relates to methods for chip layout of integrated circuits. In particular, in integrated circuits which employ multi-layer wiring, it relates to multi-layer wiring methods for integrated circuits which enable improvement of wiring efficiency and shortening of wire distances by means of more effective use of each wiring layer.

[0002] In the LSI's of recent years, due to the increased scale of chips accompanying higher degrees of integration, the trend toward multiple layers of wiring layers has progressed. Consequently, it is necessary to establish an efficient wiring method to suit the trend toward greater numbers of wiring layers.

[0003]

[Prior Art] In conventional semiconductor integrated circuits, layout is done using two directions, like X and Y which intersect at right angles, as the main wiring directions. Here, the main wiring directions refer to wiring directions that can basically be decided for each wiring layer, and the wiring direction of each wiring layer is not completely a single direction. In general, in some areas (such as areas where the wiring is congested) wiring may be run in a different direction.

[0004] In the case of 3-layer wiring, for example, as shown in Figure 5 (a) and (b), wiring directions R11 and R12, in which the first layer L11 and the second layer L12 intersect at right angles, are made the main wiring directions. Furthermore, wiring directions R12 and R11 are made main wiring directions for the second layer L12 and the third layer L13, so that they intersect at right angles. As a result, the first layer L11 and the third layer L13 have the same direction R11, as their main wiring direction. In such a case, often the first layer L11 and the second layer L12 are used for the basic wiring, and the third layer L13 is used in an auxiliary role for areas that are congested.

[0005]

[Problems to Be Solved by the Invention] Consequently, in integrated circuits which employ conventional multi-layer wiring, there were the problems that the wiring in each wiring layer, especially in the third and later wiring layers, did not use said wiring layers effectively and that the wiring efficiency of layouts was poor.

[0006] The present invention solves the above-mentioned problems. Its object is to improve the wiring efficiency in integrated circuit layouts by using each wiring layer effectively in integrated circuits which utilize multi-layer wiring, and to provide a multi-layer wiring method for integrated circuits with short wiring distances.

[0007]

[Means of Solving the Problems] In order to solve the above-mentioned problems, the first feature of the multi-layer wiring method for integrated circuits of the present invention is such that in a multi-layer wiring method for integrated circuits having m layers (where m is an integer, 3 or larger) of wiring layers L1, L2 and L3 as shown in Figure 1, the main wiring directions of the above-mentioned m layers of wiring layers L1, L2 and L3 are of n different types (where n is an integer, $3 \leq n \leq m$) of wiring directions R1, R2, and R3.

[0008] Furthermore, the second feature of the multi-layer wiring method for integrated circuits of the present invention is that in the multi-layer wiring method for integrated circuits described in Claim 1, the above-mentioned n types of wiring directions R1, R2, and R3 intersect each other at equal angles.

[0009] Furthermore, the third feature of the multi-layer wiring method for integrated circuits of the present invention is that in the multi-layer wiring method for integrated circuits described in Claim 1 or Claim 2, the above-mentioned integrated circuits are integrated circuits that include logic cells, such as gate arrays, standard cells, etc.

[0010] Moreover, the fourth feature of the multi-layer wiring method for integrated circuits of the present invention is that in the multi-layer wiring method for integrated circuits described in Claim 3, the above-mentioned multi-layer wiring method for integrated circuits treats the above-

mentioned logic cells or the terminals for the above-mentioned logic cells as grids and is implemented using an isometric grid in which the spacing between said grids is equal.

[0011]

[Operation] As shown in Figure 1, the first and second features of the multi-layer wiring method for integrated circuits of the present invention are a multi-layer wiring method for integrated circuits having m layers (where m is an integer of 3 or more; $m = 3$ in Figure 1) of wiring layers L1, L2, and L3, in which the main wiring direction of each of the above-mentioned m layers of wiring layers is one of n different types (n is an integer such that $3 \leq n \leq m$; $m = 3$ in Figure 1) of wiring directions designated R1, R2, and R3. In the second feature of the multi-layer wiring method for integrated circuits, in particular, the n types of wiring directions, R1, R2, and R3, are made to cross each other at equal angles.

[0012] Furthermore, for the case of $m = 5$, $n = 3$, in an integrated circuit having five wiring layers L1 through L5, the wiring will be such that the main wiring directions of the above-mentioned m wiring layers will each be designated as one of the three kinds of wiring directions as follows: R1, R2, R3, R1, and R2.

[0013] Specifically, in Figure 1, wiring is employed which uses n wiring layers (first, second and third layers), L1, L2, and L3, with n types of wiring directions, R1, R2 and R3, which cross at equal angles. As a result, each wiring layer can be used effectively, and the wiring efficiency of integrated circuit layout can be improved. Moreover, since diagonal wiring becomes possible, layouts with shorter wiring distances compared to those of conventional wiring can be achieved.

[0014] Furthermore, the multi-layer wiring methods for integrated circuits which are the third and fourth features of the present invention treat the logic cells or the terminals of logic cells as grids for integrated circuits such as gate arrays and standard cells comprised of logic cells in systems employing CAD for layout, and wiring decisions can be made using isometric grids in which the spacing between said grids is equal.

[0015] In this way, it is possible to achieve layout design automation and at the same time use each wiring layer effectively. Thus, the wiring efficiency in integrated circuit layout can be improved.

[0016]

[Embodiment] Next, an embodiment of the present invention is described based on the attached figures.

Embodiment 1

Figure 1 is a basic explanatory diagram showing a multi-layer wiring method for integrated circuits according to the first embodiment of the present invention. Figure 1 (a) is a solid figure,

while Figure 1 (b) is a plan view. The integrated circuit of the present embodiment is wired using three wiring layers. [This embodiment] assumes that the integrated circuit is a gate array or a standard cell comprised of logic cells.

[0017] In the same figure, L1 indicates the wiring of the first layer, L2 indicates the wiring of the second layer, and L3 indicates the wiring of the third layer; R1 indicates the main wiring direction of the first layer L1, R2 indicates the [main] wiring direction of the second layer L2, and R3 indicates the [main] wiring direction of the third layer L3.

[0018] The multi-layer wiring method for integrated circuits of the present embodiment is implemented treating the logic cells or the terminals of logic cells as grids and using isometric grids in which the spacing between said grids is equal. Figure 2 (a) shows the isometric grid of the present embodiment. The wiring direction of each layer, R1, R2, and R3, intersects each other at equal (60 degree) angles.

[0019] Figure 2 (b) shows an example of the wiring which occurs in integrated circuits such as gate arrays or standard cells. "A" in the figure is a logic cell, and the configuration is such that 12 logic cells make up a cell row "B," and [the integrated circuit] is composed of five such cell rows. Furthermore, the wiring direction R1 of the first layer L1 is in a direction which is perpendicular to the cell row.

[0020] In the same figure, the wiring between node M1 and node N1 is wired as follows: first layer wiring L1 ~ second layer wiring L2 ~ third layer wiring L3 ~ second layer wiring L2 ~ first layer wiring L1. As for the wiring between node M2 and node N2, it is wired: first layer wiring L1 ~ second layer wiring L2 ~ first layer wiring L1. Also, the isometric grid and wiring in the area near node N1 are shown in (c) of the same figure.

[0021] In this way, with the multi-layer wiring method for integrated circuits of the present embodiment, the wiring is done using a first, second and third layer, L1, L2, and L3, each of whose wiring direction, R1, R2, and R3, intersects at equal angles. Also, on the CAD system, wiring decisions are made using an isometric grid structural model which treats the logic cells or the terminals of logic cells as grids. As a result, each wiring layer can be used effectively, and wiring efficiency in the layout of integrated circuits can be improved.

[0022] In the present embodiment, furthermore, because diagonal wiring becomes possible, it is possible to achieve layouts with shorter wiring distances compared to conventional wiring.

Embodiment 2

Figure 3 is an explanatory diagram showing a multi-layer wiring method for integrated circuits according to the second embodiment of the present invention. In this embodiment as well, wiring is done using three wiring layers, similar to that of the first embodiment (shown in Figure 1).

[0023] Figure 3 (a) shows the isometric grid of the present embodiment. The respective wiring directions R1, R2, and R3 of the first, second, and third layers, L1, L2, and L3, intersect each other at equal (60 degree) angles.

[0024] Figure 3 (b) shows a wiring example for integrated circuits such as gate arrays and standard cells. The wiring direction R2 of the second layer L2 is the same direction as that of the cell row. In this figure, the wiring between node M1 and node N1 is wired as follows: first layer wiring L1 ~ second layer wiring L2 ~ third layer wiring L3. Furthermore, the wiring between node M2 and node N2 is wired as follows: first layer wiring L1 ~ second layer wiring L2 ~ first layer wiring L1. Moreover, (c) in the same figure shows the isometric grid and wiring in the area near node N1.

[0025] In this way, in the multi-layer wiring method for integrated circuits according to the present embodiment, just as in the case of the first embodiment, effective use can be made of each wiring layer, and wiring efficiency in the layout of integrated circuits can be improved. In addition, because diagonal wiring becomes possible, layouts with shorter wiring distances compared to conventional wiring can be achieved.

[0026] Furthermore, in the first and second embodiments, the orientation of the wiring direction Ri of the "i-th" layer Li with respect to the cell row is not limited to the above-mentioned description, and any kind of combination is acceptable.

Embodiment 3

Figure 4 is an explanatory diagram showing a multi-layer wiring method for integrated circuits according to the third embodiment of the present invention.

[0027] In this figure, R1 indicates the main wiring direction of the first layer L1, R2 indicates the [main] wiring direction of the second layer L2, R3 indicates the [main] wiring direction of the third layer L3, and R4 indicates the [main] wiring direction of the fourth layer L4.

[0028] The multi-layer wiring method for integrated circuits of the present embodiment is implemented treating the logic cells or the terminals of logic cells as grids and using a square grid as is conventionally done. Figure 4 (a) shows the square grid of the present embodiment. The wiring direction of each layer, R1, R2, R3, and R4, intersects each other at equal (40 degree) angles.

[0029] Figure 4 (b) shows an example of the wiring which occurs in integrated circuits such as gate arrays or standard cells. "A" in the figure is a logic cell, and the configuration is such that 12 logic cells make up a cell row "B," and [the integrated circuit] is composed of five such cell rows. Furthermore, the wiring direction R1 of the first layer L1 is in a direction which is perpendicular to the cell row, while the wiring direction R2 of the second layer L2 is in the same direction as the cell row.

[0030] In the same figure, the wiring between node M1 and node N1 is wired as follows: first layer wiring L1 ~ second layer wiring L2 ~ fourth layer wiring L4 ~ second layer wiring L2 ~ first layer wiring L1. Furthermore, the wiring between node M2 and node N2 is wired as follows: first layer wiring L1 ~ second layer wiring L2 ~ third layer wiring L3 ~ second layer wiring L2 ~ first layer wiring L1. Moreover, the isometric grid and wiring in the area near node N1 are shown in (c) of the same figure.

[0031] In this way, with the multi-layer wiring method for integrated circuits of the present embodiment, wiring is done using a first, second, third, and fourth wiring layer, L1, L2, L3, and L4, such that the wiring directions of each layer, R1, R2, R3 and R4, intersect at equal angles. Furthermore, on the CAD system, wiring decisions are made using a square grid structural model which treats the logic cells or the terminals of logic cells as grids. As a result, each wiring layer can be used effectively, and wiring efficiency in the layout of integrated circuits can be improved.

[0032] In addition, in the present embodiment, because diagonal wiring becomes possible, layouts with shorter wiring distances compared to conventional wiring can be achieved.

[0033]

[Effect of the Invention] As explained above, according to the present invention, wiring is done using m wiring layers which have n types of wiring directions which intersect at equal angles. Furthermore, on the CAD system, wiring decisions are made using a square grid structural model which treats the logic cells or the terminals of logic cells as grids. Consequently, each wiring layer can be used effectively, and wiring efficiency in the layout of integrated circuits can be improved. In addition, because diagonal wiring becomes possible, layouts with shorter wiring distances compared to conventional wiring can be achieved. As a result, wiring efficiency in integrated circuit layouts can be improved, and a multi-layer wiring method for integrated circuits with short wiring distances can be provided.

[Brief Explanation of the Figures]

[Figure 1] Figure 1 is a basic explanatory diagram showing a multi-layer wiring method for integrated circuits according to the first embodiment of the present invention. Figure 1 (a) is a solid figure, while Figure 1 (b) is a plan view.

[Figure 2] Figure 2 is an explanatory diagram showing the multi-layer wiring method for integrated circuits according to the first embodiment. Figure 2 (a) is an explanatory diagram of the isometric grid. Figure 2 (b) shows a wiring example for integrated circuits such as gate arrays and standard cells. Figure 2 (c) is an explanatory diagram of the isometric grid and wiring in the area near node N1.

[Figure 3] Figure 3 is an explanatory diagram showing a multi-layer wiring method for integrated circuits according to the second embodiment of the present invention. Figure 3 (a) is

an explanatory diagram of an isometric grid, Figure 3 (b) shows a wiring example for integrated circuits, and Figure 3 (c) is an explanatory diagram of the isometric grid and wiring in the area near node N1.

[Figure 4] Figure 4 is an explanatory diagram showing a multi-layer wiring method for integrated circuits according to the third embodiment of the present invention. Figure 4 (a) is an explanatory diagram of a square grid, Figure 4 (b) shows a wiring example for integrated circuits, and Figure 4 (c) is an explanatory diagram of the isometric grid and wiring in the area near node N1.

[Figure 5] Figure 5 is a basic explanatory diagram of a conventional multi-layer wiring method for integrated circuits. Figure 5 (a) is a solid figure, while Figure 5 (b) is a plan view.

[Explanation of Symbols]

L1, L2, L3, L4...first, second, third and fourth layers (of wiring)

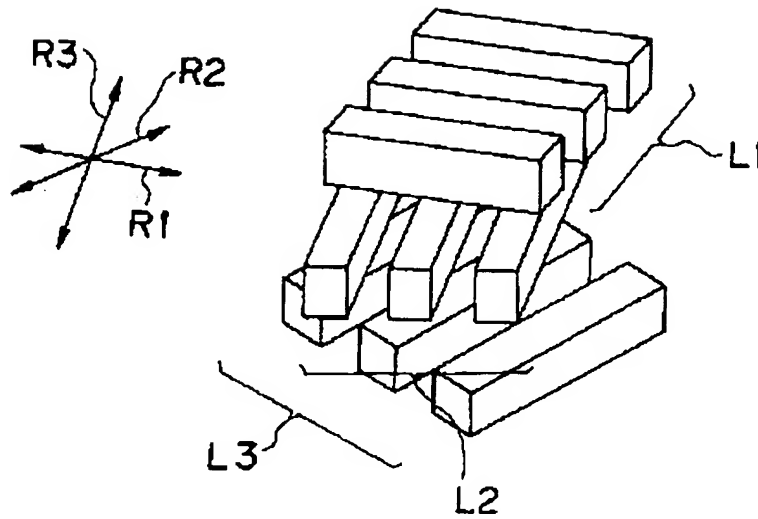
R1, R2, R3, R4...wiring directions of first, second, third and fourth layers

A...logic cells

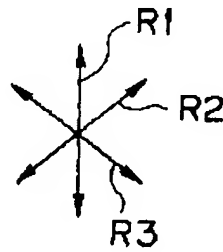
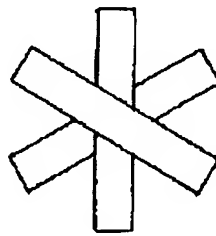
B...cell row

M1, M2, N1, N2...nodes

(a) 立体図



(b) 平面図



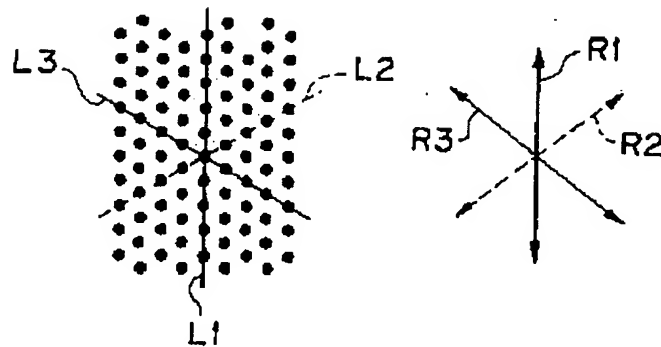
[Figure 1]

Basic explanatory diagram of wiring method for integrated circuits according to first embodiment.

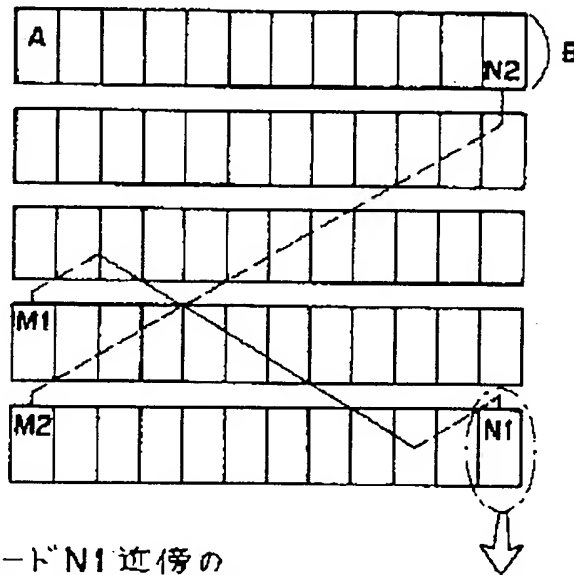
(a) solid figure

(b) plan view

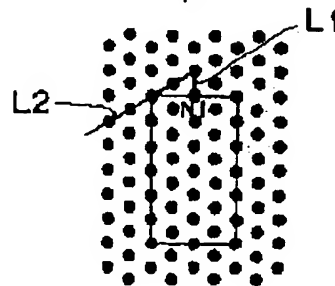
(a) アイソトリーク・ドリフト



(b) 集積回路における配線例



(c) ノードNI近傍の
グリッド及び配線

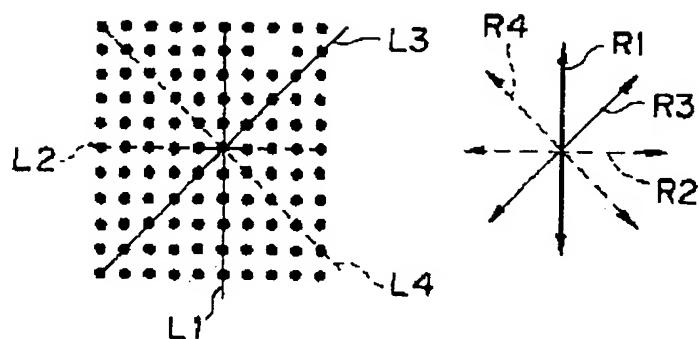


[Figure 2]

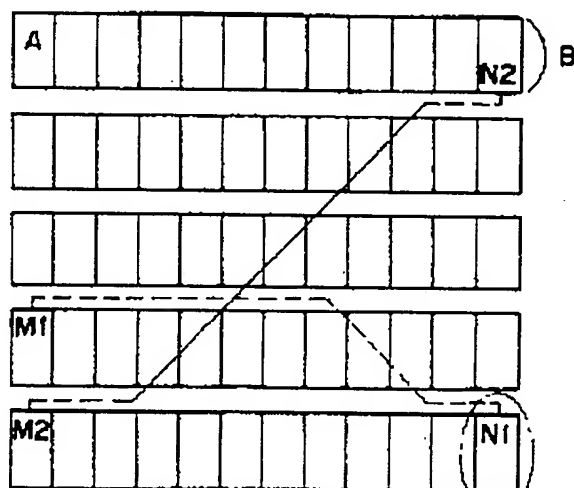
Explanatory diagram of wiring method for integrated circuits according to first embodiment.

- (a) Isometric grid
- (b) Wiring example for an integrated circuit
- (c) Grid and wiring in area of node N1

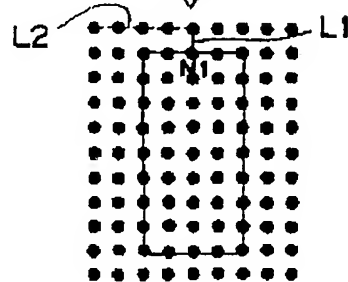
(a) 平方グリッド



(b) 集積回路における配線例



(c) ノードN1近傍の
グリッド及び配線

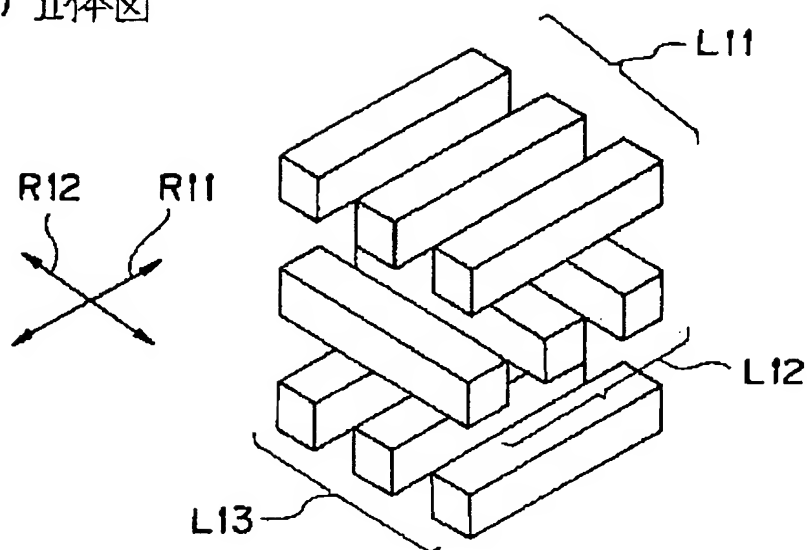


[Figure 4]

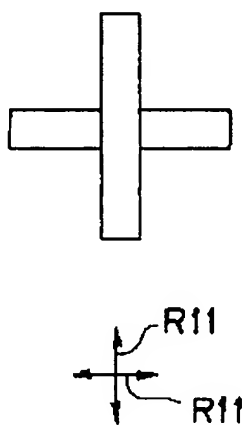
Explanatory diagram of wiring method for integrated circuits according to third embodiment.

- (a) Square grid
- (b) Wiring example for an integrated circuit
- (c) Grid and wiring in area of node N1

(a) 立体図



(b) 平面図



[Figure 5]

Explanatory diagram of conventional multi-layer wiring.

(a) solid figure

(b) plan view

Continued from the front page

(51) Int. Cl. ⁶	ID Symbol	JPO Internal File No.	F1	Technical Indication
H 01 L 21/822		8832-4M	H 01 L 27/04	D

